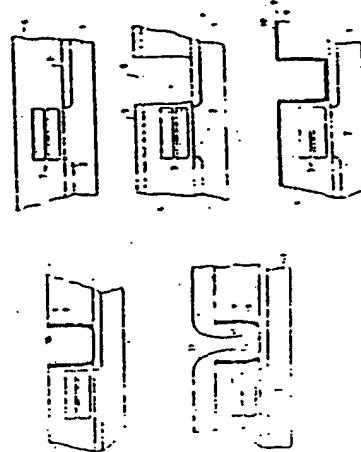


156 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 63-288047 (A) (43) 25.11.1988 (09) JP  
(21) Appl. No. 62-123396 (22) 20.5.1987  
(71) TOSHIBA CORP. (72) SEIICHI MORI  
(51) Int. Cl.: H01L21/30, H01L21/95

**PURPOSE:** To design a space between a contact hole and a lower-layer electrode layer at an exceedingly small value, and to improve the degree of integration of an element by insulating the contact hole and the lower-layer electrode layer from an upper electrode layer by subsequently deposited three-layer insulating films even when the contact hole and the lower-layer electrode layer are brought extremely near.

**CONSTITUTION:** A semiconductor device is composed of a P-type silicon substrate 1, an N<sup>+</sup> diffusion layer 2, an EEPROM cell 3 (corresponding to a first layer electrode-wiring layer) consisting of two-layer polysilicon and an inter-layer insulating film 4, and photolithography for boring a contact hole 6 is conducted. Three layer films of SiO<sub>2</sub> film 8, Si<sub>3</sub>N<sub>4</sub> film 9, SiO<sub>2</sub> film 10 are deposited respectively in thickness such as 100 Å/120 Å/100 Å through an LPCVD method or low pressure CVD method. The three layer films on the bottom of the contact hole are removed through an etchback method, and an Al layer 11 as a second layer (an upper layer) wiring layer is deposited, and patterned. Accordingly, the structure of two layer polysilicon and one-layer Al layer is completed.



BEST AVAILABLE COPY

BEST AVAILABLE COPY

日本国特許庁 (J P) 特許出願公開

公開特許公報 (A) 昭63-288047

Int.Cl.  
H 01 L 21/90  
21/95

識別記号 執内整理番号  
M-6708-5F  
B-6708-5F  
6708-5F

公開 昭和63年(1988)11月25日

審査請求・有 発明の式 2 (全 4 頁)

発明の名称 半導体装置及びその製造方法

特願 昭62-123396  
出願 昭62(1987)5月20日

発明者 藤 誠一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝總合研究所内

出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

半導体装置及びその製造方法

2. 発明請求の範囲

(1) 2層以上の配線又は電極層を有し、このうちの下層の配線又は電極層の上に隔離絶縁層を有し、この隔離絶縁層にコンタクトホールが開口され、このコンタクトホールを含み上層の配線又は電極層が設けられた半導体装置において、前記コンタクトホールの裏面部と上層の配線又は電極層との間に  $Si_3N_4/SiO_2/Si_3N_4/SiO_2$  又は  $Si_3N_4/SiO_2/Si_3N_4$  より成る3層絶縁層を有することを特徴とする半導体装置。

(2) 半導体基板上に2層以上の配線又は電極層を有する半導体装置の製造方法において、下層の配線又は電極層を形成する工程と、前記下層の配線又は電極層上に隔離絶縁層を形成する工程と、前記隔離絶縁層にコンタクトホールを開口する工程と、前記コンタクトホールを含む隔離絶縁層上に  $SiO_2/Si_3N_4/SiO_2$  又は

$Si_3N_4/SiO_2/Si_3N_4$  よりなる3層膜を形成する工程と、前記コンタクトホール底部の前記3層膜をエッチャック法により除去し、前記コンタクトホール裏面に前記3層膜を残す工程と、前記コンタクトホールを含み上層の配線又は電極層を埋蔵させる工程とを具備したことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

(现有上の利用分野)

本発明は半導体装置の配線層形成を改善した半導体装置及びその製造方法に関するもので、特にコンタクトホールと配線又は電極層の間隙が微細化されている超LSIデバイスに使用されるものである。

(従来の技術)

従来、超LSIのような微細なデバイスではコンタクトホールと下層の配線または電極層の間隙は、ワットリソグラフィー工程の合わせ精度によって決定されており、ある程度以上は小さくで

# BEST AVAILABLE COPY

きない。特に下側の配線又は電極部の大きさが大きい場合やコンタクトホールの大きさが小さい場合、コンタクトホールのアスペクト比が大きくなり、その為ニシタクトの大きさを大きくしないと、その上に形成される金属配線部が切れを起こす現象が発生する場合があり、コンタクトホールは可能な限り大きくする必要がある。その場合、コンタクトホールと下層遮断層との距離が近づき、コンタクトホール開口部形成する上部配線部と下層遮断層とがショートする危険性が増大するので、コンタクトホールと下層遮断層の間隔をあまり小さくすることができない。

#### (発明が解決しようとする問題)

上記問題を解決する手段として、コンタクトホール形成後コンタクトホール前面に絕縁部を形成し、たとえコンタクトホール開口部に下層遮断層とコンタクトホールが近接しても、後で形成する上部金属遮断層と下層遮断層がショートしないようにする方法が考えられる。しかし上記技術には、両層共で高い漏れ電流と低欠陥密度さらに

クトホール底部の上記3層間に隙間を残して、上方の活性又は遮断層を形成することによって、上記上層と下層の配線又は電極部は、たとえコンタクトホール開口部にコンタクトホールと下層遮断層が非常に近接してしまっていても、次に形成する3種類現象によって上部活性部とは離れる。また上記3層を構成は欠陥密度が低く漏れ電流も大きいので、漏電流が可逆で、その為、コンタクトホールの大きさが小さくなってしまうことも最小限に抑えられる。これによりコンタクトホールと下層遮断層の間隔は、従来よりも大幅に小さく設計できる為、電子の高集成化が可能となるものである。

#### (実施例)

以下図面を参照して本発明の一実施例を説明する。第1図ないし第5図は周知技術の製造工程図であるが、これは本発明を、第一層目の活性層の漏れ電流の多いEPROM(紫外線消去型PROM)に適用した場合の例である。第1図はコンタクトホールを形成する前の一般的なEPROMの断面

構造が示される。上記地盤が厚いとここにタクトホールの大きさが小さくなってしまい、當初デバイスを使用できない。例えば他のCVD法で堆積させるSiO<sub>2</sub>膜では、漏れ電流も高く、欠陥密度が多いので、十分な信頼性は得られず当然良化も達成できない。

本発明は、下層遮断層又は電極層と、コンタクトホール開口部に形成する上部遮断層との間に、薄くかつ遮断性の高い遮断層を堆積させることにより、コンタクトホールと下層遮断層は活性層との間の距離をできるだけ短くして、電子の高集成化を達成するものである。

#### (発明の構成)

##### (問題点を解決するための手段と作用)

本発明は、下層遮断層又は電極層を形成後、開口部遮断層を形成し、次に、この開口部遮断層にコンタクトホールを開口し、その後、上部の漏れ電流又は活性層を堆積する前に次のSiO<sub>2</sub> / Si<sub>3</sub>N<sub>4</sub> / SiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub> / SiO<sub>2</sub> / Si<sub>3</sub>N<sub>4</sub>の3層膜を堆積させる。上記コンク

クトホール底部の上記3層間に隙間を残して、上方の活性又は遮断層を形成することによって、上記上層と下層の配線又は電極部は、たとえコンタクトホール開口部にコンタクトホールと下層遮断層が非常に近接してしまっていても、次に形成する3種類現象によって上部活性部とは離れる。また上記3層を構成は欠陥密度が低く漏れ電流も大きいので、漏電流が可逆で、その為、コンタクトホールの大きさが小さくなってしまうことも最小限に抑えられる。これによりコンタクトホールと下層遮断層の間隔は、従来よりも大幅に小さく設計できる為、電子の高集成化が可能となるものである。

（実施例）

以下図面を参照して本発明の一実施例を説明する。第1図ないし第5図は周知技術の製造工程図であるが、これは本発明を、第一層目の活性層の漏れ電流の多いEPROM(紫外線消去型PROM)に適用した場合の例である。第1図はコンタクトホールを形成する前の一般的なEPROMの断面

図で、1はP形シリコン基板、2はN+拡散層で、3は2層ポリシリコンよりなるEPROMセル(第一層目の電極・記憶層に相当)、4は電極遮断層である。その後コンタクトホール開口のためのフォトリソグラフィーを行う。第2図に示すようにレジスト5を塗布し、フォトリソグラフィー工程によりレジスト5のパターニングを行ない、RIE(リアクティブ・イオン・エッティング)法によりコンタクトホール6を開口する。この場合、コンタクトホール6とポリシリコン3層の距離が長いので、部分7でポリシリコン遮断3の表面の遮断層が非常に薄くなっている。このまま第2層目(上層)の例えればA上部遮断層を堆積されれば当然そのA上部遮断層とポリシリコン遮断3は遮断層中の欠陥層によりショートしてしまうはずが用す。そこで第3図に示すように例えればLPCVD法(ローブレッシャCVD法)によりSiO<sub>2</sub>膜6 / Si<sub>3</sub>N<sub>4</sub>膜9 / SiO<sub>2</sub>膜10の3層膜を例えばそれぞれ100 / 120 · 100 Åを堆積される。この3層膜の欠陥密度は通常0.01% -

以下で、高界格度は後性によらずある30V以上、  
20V印加時のリーク電流は  $10^{-6} \text{ A}/\text{cm}^2$  以  
下である。

上記3層膜と同様の特性は  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  の組み合わせでも実現でき  
る。

次に第4図に示すようにエッチング法により  
コンタクトホール底部の3層膜を除去した後、第  
5図に示すように第2層目(上層)の記号目となる  
A上部11を削り、バーニングする。これ  
により2層ボリシリコンと1層A上部の構造が完  
成了した。

本発明によると、従来下層電極とコンタクトホ  
ール間の距離を1μm程度に設計しなければなら  
なかつたのが、大幅に縮小できる。理論的には0  
μmとしてもショートは起こらないが、どこまで  
短くできるかは、下層の名前又は記号層の用途や  
目的等にも左右される。これにより高集成化が可  
能となると同時に、従来生じていた記号層間のシ  
ョートを大幅に低減できる。

なお本発明は3層膜のみに限らず4層以上  
用が可能である。例えば本実施例では第1層にボ  
リシリコン、第2層にA上部を用いた場合について  
述べたが、これに限定されることはもちろんで  
ある。

#### 【発明の効果】

以上説明した如く本発明によれば下層電極又  
は電気部と、コンタクトホール開口部に形成する  
上層記号層との間に、あくかつ低電性の高いビ  
ルを導入させることにより、コンタクトホールと  
下層電極又は電気部との間の距離をできるだけ短  
くして、電子の高集成化を達成することができる  
ものである。

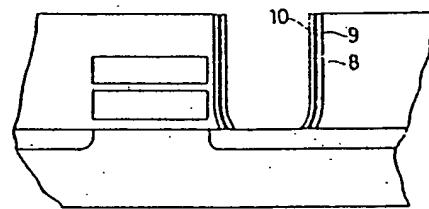
#### 4. 図面の簡単な説明

第1図ないし第5図は本発明の一実施例の剖  
面工場説明図である。

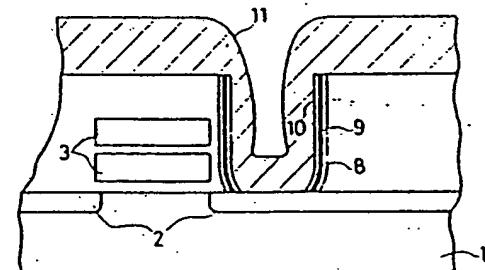
1—P型シリコン基板、2—ηm厚成膜、3—  
2層ボリシリコン膜、4—絶縁被膜、5—フェ  
トレスト、6—コンタクト開口部、7—開孔と  
なる溝、8—SiO<sub>2</sub>膜、9—Si<sub>3</sub>N<sub>4</sub>膜、

10—SiO<sub>2</sub>膜、11—A上部記号層。

出願人代理人 井汲士 江 真 原

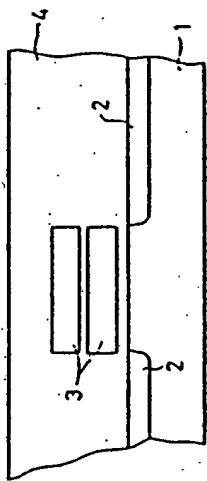


第4図

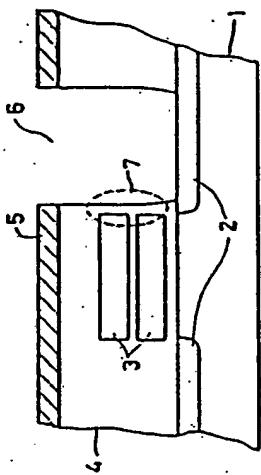


第5図

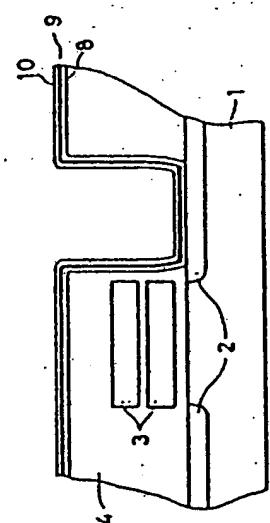
BEST AVAILABLE COPY



第 1 図



第 2 図



第 3 図